

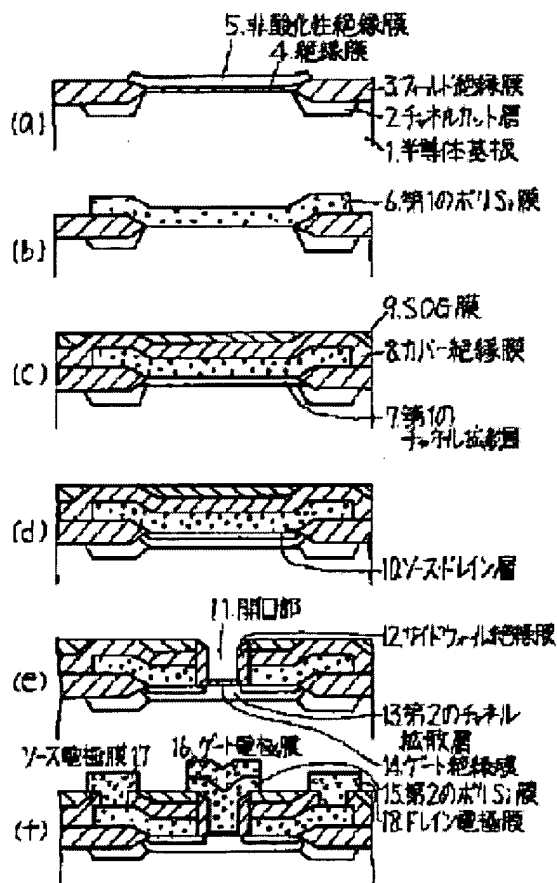
MANUFACTURE OF MIS-TYPE SEMICONDUCTOR DEVICE

Patent number: JP5206454
Publication date: 1993-08-13
Inventor: DEGUCHI TATSUYA
Applicant: FUJITSU LTD
Classification:
 - international: H01L29/784; H01L21/265
 - european:
Application number: JP19920012471 19920128
Priority number(s):

Abstract of JP5206454

PURPOSE:To shorten the gate length and elevate the source and drain break down strength by forming a source and drain layer inside a channel diffusion layer, and forming shallow junction, making use of the solid-phase diffusion from polysilicon, in respect of a source and drain regions.

CONSTITUTION:The same conductivity type of impurities are introduced, covering an element formation area and a poly-Si film 6, into a semiconductor substrate 1 where channel cut layer 2 is made and a field insulating film 3 is demarcated, and they are diffused in solid phase into the semiconductor substrate 1 so as to form a first channel diffusion layer 7. Next, source and drain layers 10 are made on the surface, covering the cover insulating film 8 and heat-treating it, and an opening 11 is made in the surface of the cover insulating film 8 and a first poly-Si film 6. A sidewall insulating film 12 is made at this sidewall, and a gate insulating film 14 is made at the exposed part of the opening 11, and through the opening 11, the same conductivity type of impurities are implanted by self alignment, whereby the source and drain layers 10 right below the gate part is inverted to form a second channel diffusion layer 13.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-206454

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵

H 0 1 L 29/784
21/265

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

8617-4M

7377-4M

H 0 1 L 29/ 78

21/ 265

29/ 78

3 0 1 G

L

3 0 1 H

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号

特願平4-12471

(22)出願日

平成4年(1992)1月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 出口 達也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

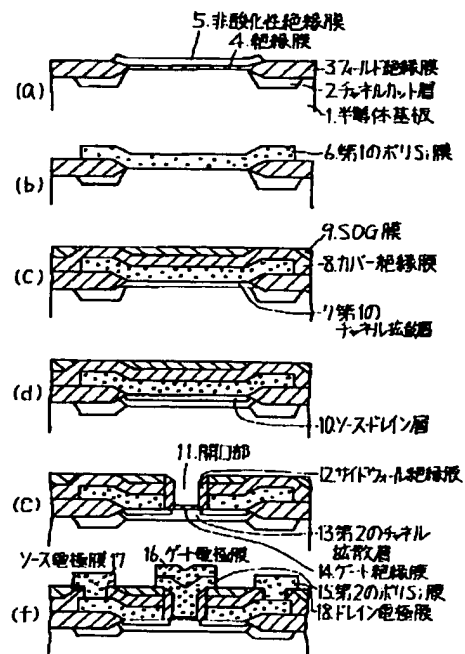
(54)【発明の名称】 M I S型半導体装置の製造方法

(57)【要約】

【目的】 本発明は、M I S型半導体装置の製造方法に関し、ゲート長を短くし、ソース・ドレイン耐圧を十分高くすることを目的とする。

【構成】 チャネルカット層2が形成され、フィールド絶縁膜3で画定された半導体基板1上に素子形成領域を覆って第1のポリSi膜6を被覆する工程と、第1のポリSi膜6に同一導電型の不純物を導入し、第1のポリSi膜6より同一導電型の不純物を半導体基板1内に固相拡散して第1のチャネル拡散層7を形成する工程と、半導体基板1上にカバー絶縁膜8を被覆する工程と、半導体基板1を熱処理して、半導体基板1表面にソース・ドレイン層10を形成する工程と、カバー絶縁膜8、第1のポリSi膜6にゲート形成用の開口部11を形成する工程と、開口部11の側壁にサイドウォール絶縁膜12を形成する工程と、開口部11に露出した半導体基板1上にゲート絶縁膜14を形成する工程と、開口部11を通して半導体基板1に同一導電型不純物を自己整合により注入し、ゲート部直下のソース・ドレイン層10を反転し、第2のチャネル拡散層13を形成する工程とを含むように構成する。

本発明の原理説明図(その1)



【特許請求の範囲】

【請求項1】 一導電型の半導体基板(1)上に反対導電型チャンネルのMIS型半導体装置を製造する方法において、

チャンネルカット層(2)が形成され、フィールド絶縁膜(3)で画定された該半導体基板(1)上に素子形成領域を覆って第1の多結晶シリコン膜(6)を被覆する工程と、該第1の多結晶シリコン膜(6)に同一導電型の不純物を導入し、該第1の多結晶シリコン膜(6)より同一導電型の不純物を該半導体基板(1)内に固相拡散して第1のチャネル拡散層(7)を形成する工程と、

該半導体基板(1)上にカバー絶縁膜(8)を被覆する工程と、

該半導体基板(1)を熱処理して、該半導体基板(1)表面にソース・ドレイン層(10)を形成する工程と、

該カバー絶縁膜(8)、及び該第1の多結晶シリコン膜(6)にゲート形成用の開口部(11)を形成する工程と、

該開口部(11)の側壁にサイドウォール絶縁膜(12)を形成する工程と、

該開口部(11)に露出した該半導体基板(1)上にゲート絶縁膜(14)を形成する工程と、

該開口部(11)を通して該半導体基板(1)に同一導電型不純物を自己整合により注入し、ゲート部直下のソース・ドレイン層(10)を反転して、第2のチャネル拡散層(13)を形成する工程を含むことを特徴とするMIS型半導体装置の製造方法。

【請求項2】 前記第1の多結晶シリコン膜(6)より、前記半導体基板(1)へ同一導電型の不純物の固相拡散を行ってソース・ドレイン層(10)を形成する工程を、サイドウォール絶縁膜(11)を形成する工程の後に行うことを特徴とする請求項1記載のMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はMOSトランジスタ等のMIS型半導体装置の製造方法に関する。近年のLSIには、高速化、高集積化が要求されている。そのため、MOSトランジスタのゲート長を小さくする事により高速化させる必要がある。

【0002】従って、本発明は、ゲート長を短くし、ソース・ドレイン耐圧を十分高くする手段を提供するものである。

【0003】

【従来の技術】図3はpチャンネルMOSトランジスタの場合を例にした従来例の説明図である。

【0004】図において、21は半導体基板、22はゲート絶縁膜、23はゲート電極、24はソース・ドレイン層、25はチャンネル領域、26は空乏層である。従来、半導体集積回路に搭載するMOSトランジスタは、その寸法を縮小することにより、トランジスタ自身の性能の向上、すな

わち高速化と高集積化を進めてきた。

【0005】しかしながら、ゲート長を短くすると、短チャンネル効果によりしきい値電圧が低下し、ソース・ドレイン耐圧が下がって、ゲート長を短く出来ずに、微細化を阻む障害となっていた。

【0006】短チャンネル効果とは、基本的には、図3(a)に示すように、チャンネル長27が短くなるとともに、チャンネル領域25全体に対するソース・ドレイン層24から延びる空乏層26の占める割合が増大し、ポテンシャルがゲートでなく、ドレインによって支配されることによる。

【0007】したがって、この短チャンネル効果を抑制しようとする場合、一般的には、図3(b)に示すように、チャンネル長27の減少と同程度に、ソース・ドレイン層24の拡散深さ、より厳密には接合の深さを浅くし、ソース・ドレイン層24自体の横方向回り込みを少なくするとともに、半導体基板21、すなわちチャンネル領域25の不純物濃度を増加させることにより、ソース・ドレイン層24からの空乏層26の延びを抑えることが行われる。

【0008】したがって、トランジスタ寸法の縮小には、そのパターンを画定するリソグラフィ技術の進歩のみに依存するものではなく、半導体基板21中の不純物分布を如何に精度よく制御するかも重要な問題である。

【0009】しかし、MOSトランジスタではp型不純物の硼素(B)が、n型不純物の砒素(As)や磷(P)に比べてイオン注入の平均飛程や、熱処理における拡散係数が大きく、トランジスタの寸法微細化に追従させた浅いソース・ドレイン層24を形成するのは容易でない。

【0010】

【発明が解決しようとする課題】従って、ゲート長を短くすることはなかなか困難であり、高速化することが出来なかった。

【0011】本発明は、以上の点を鑑み、ゲート長を短くし、ソース・ドレイン耐圧を十分高くすることを目的とする。

【0012】

【課題を解決するための手段】図1は本発明の原理説明図であり、工程順模式断面図で示してある。図において、1は半導体基板、2はチャンネルカット層、3はフィールド絶縁膜、4は絶縁膜、5は非酸化性絶縁膜、6は第1のポリSi膜、7は第1のチャンネルカット層、8はカバー絶縁膜、9はSOG膜、10はソース・ドレイン層、11は開口部、12はサイドウォール絶縁膜、13は第2のチャネル拡散層、14はゲート絶縁膜、15は第2のポリSi膜、16はゲート電極膜、17はソース電極膜、18はドレイン電極膜、19はチャンネル拡散層である。

【0013】上記の問題点を解決するための方法は、ソース・ドレイン層をチャンネル拡散層内に形成し、ソース・ドレイン領域をポリシリコンからの固相拡散を利用して浅い接合を形成する。

【0014】pチャネル層によりソース・ドレイン耐圧はパンチスルーを発生することなく確保される。短チャネル効果については、ソース・ドレイン拡散を浅くする事により対策が立てられる。

【0015】即ち、本発明の目的は、一導電型の半導体基板1上に反対導電型チャネルのMIS型半導体装置を製造する方法において、図1(b)に示すように、チャネルカット層2が形成され、フィールド絶縁膜3で画定された該半導体基板1上に素子形成領域を覆って第1のポリSi膜6を被覆する工程と、図1(c)に示すように、該第1のポリSi膜6に同一導電型の不純物を導入し、該第1のポリSi膜6より同一導電型の不純物を該半導体基板1内に固相拡散して第1のチャネル拡散層7を形成する工程と、該半導体基板1上にカバー絶縁膜8を被覆する工程と、図1(d)に示すように、該半導体基板1を熱処理して、該半導体基板1表面にソース・ドレイン層10を形成する工程と、図1(e)に示すように、該カバー絶縁膜8、及び該第1のポリSi膜6にゲート形成用の開口部11を形成する工程と、該開口部11の側壁にサイドウォール絶縁膜12を形成する工程と、該開口部11に露出した該半導体基板1上にゲート絶縁膜14を形成する工程と、該開口部11を通して該半導体基板1に同一導電型不純物を自己整合により注入し、ゲート部直下のソース・ドレイン層10を反転して、第2のチャネル拡散層13を形成する工程とを含むことにより、或いは、図2(e)に示すように、前記第1のポリSi膜6より、前記半導体基板1へ同一導電型の不純物の固相拡散を行ってソース・ドレイン層10を形成する工程を、サイドウォール絶縁膜11を形成する工程の後に行うことにより達成される。

【0016】

【作用】本発明では、図1(d)に示すようにソース・ドレイン層10が第1のポリSi膜6からの固相拡散によって形成されるため、浅い接合層の形成が可能となり、短チャネル効果を防止できる。

【0017】また、第1のチャネル拡散層7とソース・ドレイン層10が、同じ第1のポリSi膜6からの拡散にて形成されるため、位置合わせを自己整合にて行うことができ、位置合わせ用のパターン寸法の余裕値をとる必要がなく、デバイス寸法の微細化が可能となる。

【0018】そして、本チャネル拡散層7により、ソース・ドレイン間のパンチスルーによる耐圧劣化を防止することができる。

【0019】

【実施例】図1、図2は本発明の原理説明図兼本発明の一実施例の工程順模式断面図である。

【0020】図において、1は半導体基板、2はチャネルカット層、3はフィールド絶縁膜、4は絶縁膜、5は非酸化性絶縁膜、6は第1のポリSi膜、7は第1のチャネルカット層、8はカバー絶縁膜、9はSOG膜、10は

ソース・ドレイン層、11は開口部、12はサイドウォール絶縁膜、13は第2のチャネル拡散層、14はゲート絶縁膜、15は第2のポリSi膜、16はゲート電極膜、17はソース電極膜、18はドレイン電極膜、19はチャネル拡散層であるが、実施例においては、実際に使用した具体的な名称に置き換えて説明する。

【0021】図1(a)に示すように、まず、1~10Ωcmの比抵抗のp型Si基板1を用い、基板上に900℃のドライ酸素で50~200Åの厚さにSiO₂膜4を形成する。CVD法によりSi₃N₄膜5を1,000~2,000Åの厚さに成長する。

【0022】次に、マスクを用いて、素子形成領域のみにSi₃N₄膜5を残し、他の領域のSi₃N₄膜5をエッチングして除去する。その後、マスクを用いて、チャネルカット層2を形成するため、イオン注入法により、例えば、硼素イオン(B⁺)を加速電圧10~30 KeV、ドーズ量1x10¹³~1x10¹⁵/cm²の条件で注入する。

【0023】続いて、900℃ウエット酸素で4,000~8,000Åの厚さにフィールドSiO₂膜3を形成する。図1(b)に示すように、Si₃N₄膜5を燐酸ボイルにより除去した後、弗酸系溶液によりSiO₂膜4を500Å程度除去する。ドライエッチングで除去しても良い。

【0024】その後CVD法によりソース・ドレイン電極となるポリSi膜6を約3,000Åの厚さに成長する。次に、短チャネル効果を防止するために、ソース・ドレイン層10と逆導電型のボロンをイオン注入法により、例えば、硼素イオン(B⁺)を加速電圧10~30 KeV、ドーズ量1x10¹³~1x10¹⁵/cm²の条件で注入した後、マスクを用いてポリSi膜6をソース・ドレイン電極用にパターンニングする。

【0025】図1(c)に示すように、CVD法により図示しないSiO₂膜を約300Åの厚さに成長し、アニールを窒素雰囲気中、900~950℃で30分程度行い、ボロンをSi基板1中に拡散させる。

【0026】その後、ソース・ドレイン層10形成のため、イオン注入法により、例えば、砒素イオン(As⁺)を加速電圧20~60 KeV、ドーズ量1x10¹⁵~1x10¹⁶/cm²の条件で注入する。

【0027】続いて、CVD法により、カバーSiO₂膜8を約5,000Åの厚さに形成し、平坦化のためにSOG膜9を塗布して、Si基板1の表面を平坦化する。図1(d)に示すように、Si基板1の熱処理を行ってチャネル部のp層内の不純物を活性化し、ソース・ドレイン層10となるn層をチャネル拡散層7の上部、Si基板1の表層に形成する。

【0028】図1(e)に示すように、マスクを用いて、SOG膜9、カバーSiO₂膜8、ポリSi膜6をエッチングしてゲート用の開口部11を設ける。CVD法により、SiO₂膜を2,000~4,000Åの厚さに成長し、RIEにより異方性エッチングを行って、開口部12の側壁にサ

イドウォールSiO₂膜12を形成する。

【0029】チャネル拡散層7のn⁺層を反転させるため、開口部11よりイオン注入法により、例えば、硼素イオン(B⁺)を加速電圧5~10 KeV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入して、第2のチャネル拡散層13層のp層を形成する。

【0030】その後、900℃の塩酸酸化でゲートSiO₂膜14を形成する。図1(f)に示すように、ゲート開口部11内を埋めて、Si基板1上にポリSi膜15を1,000~5,000 Åの厚さに成長し、イオン注入法により、例えば、砒素イオン(As⁺)を加速電圧10~60 KeV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の条件で注入し、活性化アニールを、1,000~1,150℃で10~90秒行う。

【0031】次に、マスクを用いて、ポリSi膜15をパターンニングし、ゲート電極を形成する。この後、ソース・ドレインコンタクト窓を開口し、コンタクト抵抗を下げるために、イオン注入法により、例えば、砒素イオン(As⁺)を加速電圧10~40 KeV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ の条件でポリSi膜15に注入する。

【0032】また前述の活性化熱処理はこの後で行っても良い。続いて、通常の方法でAlをスパッタし、パターンニングしてゲート、ソース・ドレインの各電極16, 17, 18にパターンニングして、MOSトランジスタを完成する。

【0033】第2の実施例は、第1の実施例の図1(a)~(c)に示したように、SOG膜による基板表面の平坦化までは同じ工程で処理する。続いて、図2(d)に示すように、マスクを用いて、SOG膜9、カバーSiO₂膜8、ポリSi膜6をエッチングしてゲート用の開口部11を設ける。

【0034】ゲートSiO₂膜14を開口部に露出したSi基板1上に900℃の塩酸酸化で50~200 Åの厚さに形成する。CVD法により、SiO₂膜を2,000~4,000 Åの厚さに成長し、RIEにより異方性エッチングを行って、開口部11の側壁にサイドウォールSiO₂膜12を形成する。

【0035】次にしきい値電圧調整用のため開口部11よりイオン注入法により、例えば、硼素イオン(B⁺)を注入する。その後、900℃の塩酸酸化でゲートSiO₂膜14を積み増しする。

【0036】図2(e)に示すように、ゲート開口部11内を埋めて、Si基板1上にポリSi膜15を1,000~5,000 Åの厚さに成長し、イオン注入法により、例えば、砒素イオン(As⁺)を加速電圧10~60 KeV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の条件で注入し、活性化アニールを、1,000~1,150℃で10~90秒行う。

【0037】この活性化熱処理により、ポリSi膜6内の砒素がSi基板内に固相拡散してソース・ドレイン層10が形成される。次に、マスクを用いて、ポリSi膜15をパターンニングし、ゲート電極を形成する。

【0038】この後、ソース・ドレインコンタクト窓を開口し、コンタクト抵抗を下げるために、イオン注入法により、例えば、砒素イオン(As⁺)を加速電圧10~40 KeV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ の条件で注入する。

【0039】また前述の活性化アニールはこの後で行っても良い。続いて、通常の方法でAlをスパッタし、パターンニングしてゲート、ソース・ドレインの各電極にパターンニングして、MOSトランジスタを完成する。

【0040】

【発明の効果】以上説明したように、本発明によれば、浅いソース・ドレイン拡散層をポリSi膜からの固相拡散により形成する事によって、短チャネル効果を防止し、チャネル拡散層によりパンチスルーによるソース・ドレイン間耐圧の低下を防止する事によってゲート長を短くすることが出来、MIS型半導体装置等、LSIの高速化に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図(その1)

【図2】 本発明の原理説明図(その2)

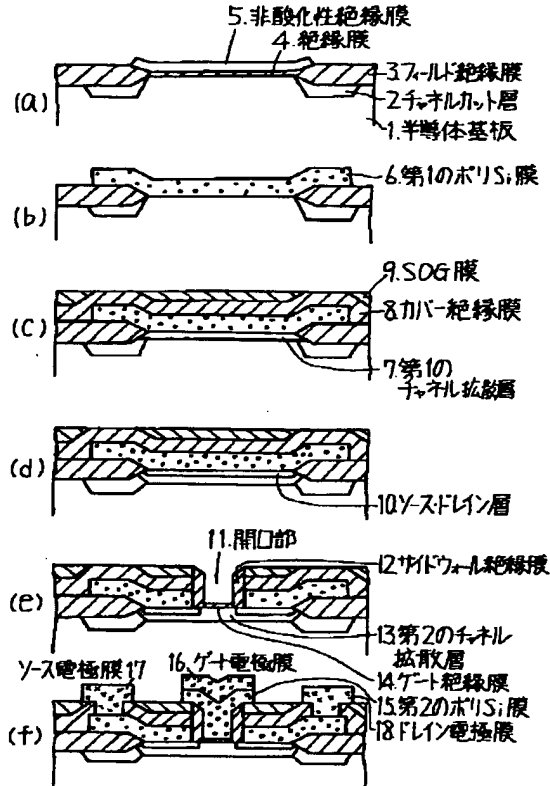
【図3】 従来例の説明図

【符号の説明】

- 1 半導体基板
- 2 チャネルカット層
- 3 フィールド絶縁膜
- 4 絶縁膜
- 5 非酸化性絶縁膜
- 6 第1のポリSi膜
- 7 第1のチャネルカット層
- 8 カバー絶縁膜
- 9 SOG膜
- 10 ソース・ドレイン層
- 11 開口部
- 12 サイドウォール絶縁膜
- 13 第2のチャネル拡散層
- 14 ゲート絶縁膜
- 15 第2のポリSi膜
- 16 ゲート電極膜
- 17 ソース電極膜
- 18 ドレイン電極膜
- 19 チャネル拡散層

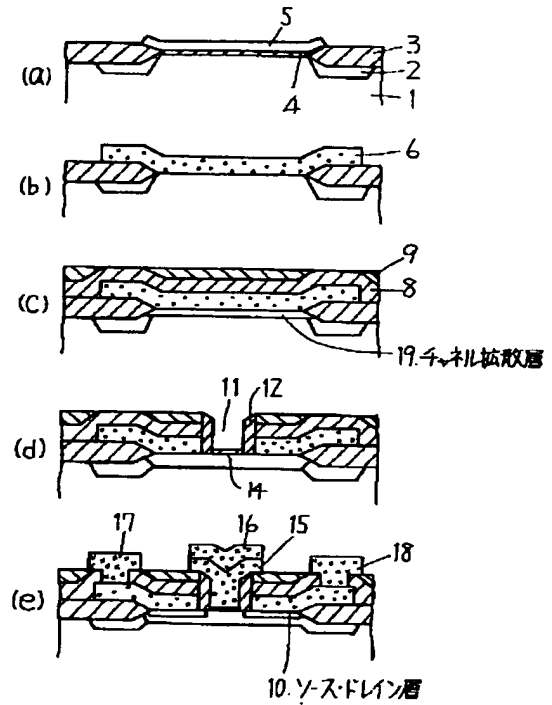
【図1】

本発明の原理説明図(その1)



【図2】

本発明の原理説明図(その2)



【図3】

従来例の説明図

